

05.11.2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年10月24日

REC'D 02 DEC 2004

出願番号
Application Number: 特願2003-365168

WIPO PCT

[ST. 10/C]: [JP2003-365168]

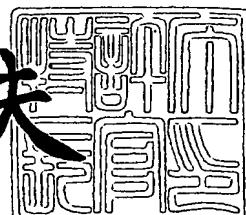
出願人
Applicant(s): インターナショナル・ビジネス・マシンズ・コーポレーション

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

特許庁長官
Commissioner,
Japan Patent Office

2004年3月16日

今井康夫



【書類名】 特許願
【整理番号】 JP9030199
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/403
【発明者】
【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 800 番地 日本アイ・ビー・エム株式会社 野洲事業所内
【氏名】 砂永 登志男
【発明者】
【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 800 番地 日本アイ・ビー・エム株式会社 野洲事業所内
【氏名】 宮武 久忠
【発明者】
【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 800 番地 日本アイ・ビー・エム株式会社 野洲事業所内
【氏名】 細川 浩二
【特許出願人】
【識別番号】 390009531
【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション
【代理人】
【識別番号】 100086243
【弁理士】
【氏名又は名称】 坂口 博
【代理人】
【識別番号】 100091568
【弁理士】
【氏名又は名称】 市位 嘉宏
【代理人】
【識別番号】 100108501
【弁理士】
【氏名又は名称】 上野 剛史
【復代理人】
【識別番号】 100104444
【弁理士】
【氏名又は名称】 上羽 秀敏
【手数料の表示】
【予納台帳番号】 165170
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9706050
【包括委任状番号】 9704733
【包括委任状番号】 0207860

【書類名】特許請求の範囲

【請求項1】

複数のワード線を含むメモリセルアレイと、
 リフレッシュを要求しかつリフレッシュアドレスを順次発生するリフレッシュ手段と、
 アクセスが要求されたときアクセスアドレスを選択し、前記リフレッシュが要求されたときリフレッシュアドレスを選択するアドレス選択手段と、
 前記アドレス選択手段により選択されたアドレスに応答して前記ワード線を選択するワード線選択手段と、
 前記メモリセルアレイにおいて前記アクセス又は前記リフレッシュが行われている間、前記アドレス選択手段によるアドレスの選択を停止させる選択停止手段とを備えたことを特徴とする半導体記憶装置。

【請求項2】

請求項1に記載の半導体記憶装置であって、
 前記メモリセルアレイは複数のブロックに分割され、
 前記半導体記憶装置はさらに、
 前記アドレス選択手段により選択されたアドレスに応答して前記ブロックを選択するブロック選択手段を備え、
 前記選択停止手段は、前記ブロック選択手段により選択されたブロックにおいて前記アクセス又は前記リフレッシュが行われている間、前記アドレス選択手段によるアドレスの選択を停止させることを特徴とする半導体記憶装置。

【請求項3】

請求項2に記載の半導体記憶装置であって、
 前記ワード線選択手段は前記リフレッシュアドレスに応答して前記ブロックごとに全てのワード線を連続的に選択することを特徴とする半導体記憶装置。

【請求項4】

請求項2又は請求項3に記載の半導体記憶装置であって、
 前記選択停止手段は、前記アクセス又は前記リフレッシュが要求されたときビジー信号を活性化し、前記ブロック選択手段により選択されたブロックにおいて前記アクセス又は前記リフレッシュが終了したとき前記ビジー信号を不活性化するビジー信号発生手段を含み、
 前記アドレス選択手段は、
 前記アクセスが要求されたとき前記アクセスアドレスを入力し、前記リフレッシュが要求されたとき前記リフレッシュアドレスを入力する入力手段と、
 前記ビジー信号が不活性化されたとき前記入力されたアドレスを取り込んでラッチするラッチ手段とを含むことを特徴とする半導体記憶装置。

【請求項5】

請求項4に記載の半導体記憶装置であって、
 前記ビジー信号発生手段は、
 前記複数のブロックに共通に設けられたビジー信号線と、
 前記アクセス又は前記リフレッシュが要求されたとき前記ビジー信号線を充電する充電手段と、
 前記複数のブロックに対応して設けられ、各々が対応するブロックにおいて前記アクセス又は前記リフレッシュが終了したとき前記ビジー信号線を放電する複数の放電手段とを含むことを特徴とする半導体記憶装置。

【請求項6】

複数のワード線を含むメモリセルアレイを備えた半導体記憶装置のリフレッシュ方法であって、
 リフレッシュを要求しかつリフレッシュアドレスを順次発生するステップと、
 アクセスが要求されたときアクセスアドレスを選択し、前記リフレッシュが要求されたときリフレッシュアドレスを選択するアドレス選択ステップと、

前記選択されたアドレスに応答して前記ワード線を選択するワード線選択ステップと、前記メモリセルアレイにおいて前記アクセス又は前記リフレッシュが行われている間、前記アクセスアドレス及び前記リフレッシュアドレスの選択を停止する選択停止ステップとを備えたことを特徴とする半導体記憶装置のリフレッシュ方法。

【請求項 7】

請求項 6 に記載の半導体記憶装置のリフレッシュ方法であって、前記メモリセルアレイは複数のブロックに分割され、前記リフレッシュ方法はさらに、前記選択されたアドレスに応答して前記ブロックを選択するステップを備え、前記選択停止ステップは、前記選択されたブロックにおいて前記アクセス又は前記リフレッシュが行われている間、前記アクセスアドレス及び前記リフレッシュアドレスの選択を停止することを特徴とする半導体記憶装置のリフレッシュ方法。

【請求項 8】

請求項 7 に記載の半導体記憶装置のリフレッシュ方法であって、前記ワード線選択ステップは前記リフレッシュアドレスに応答して前記ブロックごとに全てのワード線を連続的に選択することを特徴とする半導体記憶装置のリフレッシュ方法。

【請求項 9】

請求項 7 又は請求項 8 に記載の半導体記憶装置のリフレッシュであって、前記選択停止ステップは、前記アクセス又は前記リフレッシュが要求されたときビジー信号を活性化し、前記選択されたブロックにおいて前記アクセス又は前記リフレッシュが終了したとき前記ビジー信号を不活性化するビジー信号発生ステップを含み、前記アドレス選択ステップは、前記アクセスが要求されたとき前記アクセスアドレスを入力するステップと、前記リフレッシュが要求されたとき前記リフレッシュアドレスを入力するステップと、前記ビジー信号が不活性化されたとき前記入力されたアドレスを取り込んでラッチするステップとを含むことを特徴とする半導体記憶装置のリフレッシュ方法。

【請求項 10】

請求項 9 に記載の半導体記憶装置のリフレッシュ方法であって、前記半導体記憶装置はさらに、前記複数のブロックに共通に設けられたビジー信号線を備え、前記ビジー信号発生ステップは、前記アクセス又は前記リフレッシュが要求されたとき前記ビジー信号線を充電するステップと、前記選択されたブロックにおいて前記アクセス又は前記リフレッシュが終了したとき前記ビジー信号線を充電するステップとを含むことを特徴とする半導体記憶装置のリフレッシュ方法。

【書類名】明細書

【発明の名称】半導体記憶装置及びそのリフレッシュ方法

【技術分野】

【0001】

本発明は、半導体記憶装置及びそのリフレッシュ方法に関し、さらに詳しくは、通常のアクセス動作中にリフレッシュ動作の挿入が可能なDRAM(Dynamic Random Accesses Memory)及びそのリフレッシュ方法の改良に関する。

【背景技術】

【0002】

最近、低消費電力用途ではSRAM(Static Random Accesses Memory)からDRAMへの置き換えが盛んになってきている。単位面積当たりの記憶容量がSRAMよりもDRAMの方がはるかに大きいためである。しかし、DRAMには、SRAMに不要なリフレッシュが必要である。そこで、リフレッシュコントローラのような外部回路でリフレッシュを行うのではなく、DRAMの内部回路で自動的にリフレッシュを行い、SRAMと全く同じ方法でDRAMを使用できるようにすることが望まれている。

【0003】

下記の特許文献1には、通常の読み出又は書き動作(以下「通常アクセス動作」又は単に「アクセス動作」という)とリフレッシュ動作とを1つのサイクル時間(以下「外部サイクル時間」という)内に挿入する方式を採用したDRAMが開示されている。この方式によれば、1つの外部サイクル時間内にアクセス用の時間及びリフレッシュ用の時間が確保されているため、通常のアクセスを待たせることなく、何時でもリフレッシュを行うことができる。アクセス用の時間及びリフレッシュ用の時間はほぼ同じであるから、以下これらを総称して「内部サイクル時間」という。

【0004】

このDRAMにとって外部サイクル時間は実際のサイクル時間であって、動作速度を決定するものである。したがって、このDRAMを高速化するためには外部サイクル時間を短縮しなければならない。しかしそのためには、内部サイクル時間を外部サイクル時間の半分以下にしなければならず、外部サイクル時間の短縮は容易ではない。そもそもこのDRAMは、何時でもリフレッシュを行うことができるよう各外部サイクル時間内にリフレッシュ用の内部サイクル時間を確保したものであるから、実力の半分程度しか性能を発揮できおらず、高速化は困難である。

【0005】

【特許文献1】特開2002-298574号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の主たる目的は、通常のアクセス中にリフレッシュの挿入が可能かつ高速化が可能な半導体記憶装置及びそのリフレッシュ方法を提供することである。

【課題を解決するための手段及び発明の効果】

【0007】

本発明による半導体記憶装置は、メモリセルアレイと、リフレッシュ手段と、アドレス選択手段と、ワード線選択手段と、選択停止手段とを備える。メモリセルアレイは、複数のワード線を含む。リフレッシュ手段は、リフレッシュを要求しかつリフレッシュアドレスを順次発生する。アドレス選択手段は、アクセスが要求されたときアクセスアドレスを選択し、リフレッシュが要求されたときリフレッシュアドレスを選択する。ワード線選択手段は、アドレス選択手段により選択されたアドレスに応答して前記ワード線を選択する。選択停止手段は、メモリセルアレイにおいてアクセス又はリフレッシュが行われている間、アドレス選択手段によるアドレスの選択を停止させる。

【0008】

本発明によるリフレッシュ方法は、リフレッシュを要求しかつリフレッシュアドレスを

順次発生するステップと、アクセスが要求されたときアクセスアドレスを選択し、リフレッシュが要求されたときリフレッシュアドレスを選択するアドレス選択ステップと、選択されたアドレスに応答してワード線を選択するワード線選択ステップと、メモリセルアレイにおいてアクセス又はリフレッシュが行われている間、アクセスアドレス及びリフレッシュアドレスの選択を停止する選択停止ステップとを備える。

【0009】

本発明によれば、アクセスが要求されたときアクセスアドレスが選択され、リフレッシュが要求されたときリフレッシュアドレスが選択され、これにより選択されたアドレスに応答してワード線を選択される。そのため、通常のアクセス中にリフレッシュが挿入される。しかも、メモリセルアレイにおいてアクセス又はリフレッシュが行われている間、上記アドレスの選択は停止される。そのため、アクセスよりもリフレッシュの方が先に要求された場合はリフレッシュが優先して行われ、後から要求されたアクセスは先に行われたリフレッシュが終わるまで待たされる。逆に、リフレッシュよりもアクセスの方が先に要求された場合はアクセスが優先して行われ、後から要求されたリフレッシュは先に行われたアクセスが終わるまで待たされる。その結果、内部サイクル時間を外部サイクル時間よりも長くし、これにより外部サイクル時間を短縮して動作速度を速くすることができる。

【0010】

好ましくは、メモリセルアレイは複数のブロックに分割される。上記半導体記憶装置はさらに、アドレス選択手段により選択されたアドレスに応答してブロックを選択するブロック選択手段を備える。選択停止手段は、ブロック選択手段により選択されたブロックにおいてアクセス又はリフレッシュが行われている間、アドレス選択手段によるアドレスの選択を停止させる。一方、上記リフレッシュ方法はさらに、選択されたアドレスに応答してブロックを選択するステップを備える。選択停止ステップは、選択されたブロックにおいてアクセス又はリフレッシュが行われている間、アクセスアドレス及びリフレッシュアドレスの選択を停止する。

【0011】

さらに好ましくは、上記半導体記憶装置において、ワード線選択手段はリフレッシュアドレスに応答してブロックごとに全てのワード線を連続的に選択する。一方、上記リフレッシュ方法において、ワード線選択ステップはリフレッシュアドレスに応答してブロックごとに全てのワード線を連続的に選択する。

【0012】

この場合、いわゆるバーストリフレッシュがブロック単位で行われるため、リフレッシュが遅れてもその遅れは当該ブロックの動作中に解消され、他のブロックの動作中まで持ち越されることはない。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

【0014】

図1を参照して、本発明の実施の形態によるDRAM10は、64M($=64 \times 10^2$ ⁰)のメモリセルMCと、4K($=4 \times 2^{10}$)のワード線WLとを含むメモリセルアレイ12を備える。メモリセルアレイ12は16個のアクセスアレイブロック(以下単に「ブロック」という)BKに分割される。各ブロックBKは、256本のワード線WLと、これらのワード線WLと交差する16K($=16 \times 2^{10}$)のビット線対BLと、これらのビット線対BLに接続された16Kのセンスアンプ(図示せず)とを含む。各メモリセルMCは対応するワード線WL及びビット線対BLに接続される。

【0015】

DRAM10はさらに、行デコーダ14と、行デコーダ14を制御する行デコーダ制御回路16とを備える。行デコーダ14は、行アドレス信号に応答してワード線WLを選択する。メモリセルアレイ12と同様に、行デコーダ14も16個のデコーダブロックDB

に分割される。

【0016】

図2に行デコーダ制御回路16及び1つのデコーダブロックDBの詳細を示す。図2を参照して、DRAM10はさらに、リフレッシュ回路17と、アドレス選択器18とを備える。リフレッシュ回路17は、リフレッシュイネーブル信号/REを発生し、かつリフレッシュ行アドレス信号RRAを順次発生する。アドレス選択器18は、外部から与えられたアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAを選択し、行アドレス信号RAとして行デコーダ制御回路16に与える。行デコーダ制御回路16は、与えられた行アドレス信号RAをデコードして行アドレスデコード信号ADU及びADLを発生し、行デコーダ14に与える。

【0017】

図3にアドレス選択器18及びリフレッシュ回路17の詳細を示す。図3を参照して、リフレッシュ回路17は、リフレッシュタイムマ30と、アドレスカウンタ32と、リフレッシュイネーブル回路34とを含む。リフレッシュタイムマ30は、所定の周期でリフレッシュタイム信号/RTを発生する。アドレスカウンタ32は、リフレッシュタイム信号/RTに応答してリフレッシュ行アドレスをカウントアップし、リフレッシュ行アドレス信号RRAを発生する。リフレッシュイネーブル回路34は、チップイネーブル信号/CE及びリフレッシュタイム信号/RTに応答してリフレッシュイネーブル信号/REを発生する。

図4を参照して、チップイネーブル信号/CEは外部サイクル時間TecごとにL(論理ロウ)レベルに活性化される。チップイネーブル信号/CEを活性化することはアクセスコマンドを発行することに相当する。チップイネーブル信号/CEが活性化されると、外部から与えられたアクセス行アドレス信号ERAがアドレス選択器18に取り込まれ、これに応じてメモリセルMCからデータが読み出される。

【0018】

読出又はリフレッシュ動作にかかる内部サイクル時間Ticを外部サイクル時間Tecの半分にすれば、読出動作の最中であっても確実にリフレッシュ動作を挿入することができる。メモリセルMCのリテンション時間を64msとすると、この間に全てのメモリセルMCをリフレッシュするためには、4Kのワード線WLを16μs (=64ms ÷ 4K)ごとに順次選択しなければならない。このように全てのワード線WLを満遍なく一定の周期で順次選択するリフレッシュを「分散リフレッシュ」という。

【0019】

分散リフレッシュの場合、リフレッシュタイム信号/RTは、チップイネーブル信号/CEと関係なく、16μsの周期でLレベルに活性化される。リフレッシュタイム信号/RTの活性化後、チップイネーブル信号/CEが活性化されると、リフレッシュイネーブル信号/REがLレベルに活性化される。リフレッシュイネーブル信号/REを活性化することはリフレッシュコマンドを発行することに相当する。リフレッシュイネーブル信号/REの活性化後、所定期間が経過すると、リフレッシュタイムマ30はリセットされ、リフレッシュタイム信号/RTはH(論理ハイ)レベルに戻る。リフレッシュイネーブル信号/REが活性化されると、アドレスカウンタ32により発生されたリフレッシュ行アドレス信号RRAがアドレス選択器18に取り込まれ、これに応じてメモリセルMCがリフレッシュされる。

【0020】

このように内部サイクル時間Ticを外部サイクル時間Tecの半分にすれば、リフレッシュコマンドがアクセスコマンド(ここでは読出コマンド)と競合することはないため、何時でもリフレッシュを行うことができる。本実施の形態はさらに、内部サイクル時間Ticを外部サイクル時間Tecの半分よりも長くした結果、リフレッシュコマンドがアクセスコマンドと競合したとしても、それらを仲裁することにより通常アクセス動作の間にリフレッシュ動作を挿入できるようにしたものである。

【0021】

再び図2を参照して、各デコーダブロックDBは、ブロックイネーブル回路20と、行デコーダ回路22と、ワード線ドライバ24と、ブロック制御回路26とを含む。上位ビットの行アドレスデコード信号ADUはブロックイネーブル回路20に与えられ、下位ビットの行アドレスデコード信号ADLは行デコーダ回路22に与えられる。各ブロックイネーブル回路20は、行アドレスデコード信号ADUに応答してブロックイネーブル信号BEを発生し、対応するデコーダブロックDBを選択する。各行デコーダ回路22は、行アドレスデコード信号ADLに応答して対応する256本のワード線WLの中から1本を選択する。ワード線ドライバ24はその選択されたワード線WLを駆動する。本例では、12ビットの行アドレス信号RAが与えられ、そのうち4ビットの信号がブロックBKの選択に使用され、残り8ビットの信号がワード線WLの選択に使用される。

【0022】

ブロック制御回路26は、ブロックイネーブル信号BEに応答して活性化され、対応するブロックBKからタイミングモニタ信号TMを受け取るとともに、アレイ制御信号ACを対応するブロックBKに与える。タイミングモニタ信号TMは対応するブロックBK内で発生される。アレイ制御信号ACは、センスアンプの活性化、リストア後のビット線ブレチャージ等、対応するブロックBKを制御するための信号である。すなわち、各ブロック制御回路26は対応するブロックBKを一連の動作が自己完結するように制御する。

【0023】

本実施の形態の特徴として、DARM12はさらに、ビジー信号BUSYを発生するための1本のビジー信号線28を備える。ビジー信号線28は16個のブロックBKに共通に設けられ、行デコーダ14内をビット線対BLと並行して走る。

【0024】

図5にビジー信号/BUSYを発生するための回路を示す。図5を参照して、各ブロック制御回路26は、アレイアクセスタイミング制御回路36と、遅延回路38と、NチャネルMOSトランジスタ40とを含む。アレイアクセスタイミング制御回路36は、ビット線イコライズ信号BLEQの他、様々なアレイ制御信号ACを対応するブロックBKに与える。遅延回路38は、ビット線イコライズ信号BLEQを所定時間だけ遅延させる。トランジスタ40は、遅延されたビット線イコライズ信号BLEQに応答してオンになり、ビジー信号線28の電圧を接地電圧GNDにプルダウンする。

【0025】

行デコーダ制御回路16は、PチャネルMOSトランジスタ42と、インバータ44とを含む。トランジスタ42はアレイイネーブル信号/AEに応答してオンになり、ビジー信号線28の電圧を電源電圧VDDにプルアップする。アレイイネーブル信号/AEは、チップイネーブル信号/CE又はリフレッシュイネーブル信号/REに応答して一時的に発生されるパルス信号である。

【0026】

いずれかのブロックBKで通常アクセス動作又はリフレッシュ動作が始まると、アレイイネーブル信号/AEのパルスがトランジスタ42のゲートに与えられる。これによりビジー信号線28がプルアップされ、ビジー信号BUSYはHレベルにブレチャージされる。したがって、ビジー信号/BUSYはインバータ44によりLレベルになり、いずれかのブロックBKが動作中であることを示し、これにより次の通常アクセス動作又はリフレッシュ動作の開始を禁止する。

【0027】

選択されたブロックBKが一連の動作を終えると、ビット線イコライズ信号BLEQが outputされてから所定時間経過後にトランジスタ40がオンになる。これによりビジー信号線28がプルダウンされ、ビジー信号BUSYがLレベルに戻る。したがって、ビジー信号/BUSYはインバータ44によりHレベルに戻り、ブロックBKが動作を完了したことと示し、これにより次の動作の開始を解禁する。

【0028】

以上のように、ビジー信号/BUSYはいずれのブロックBKも選択されていない間は

H レベルに維持されるが、いずれかのブロック BK が選択されると L レベルにされ、その選択されたブロック BK における一連の動作が終了するまで L レベルに維持される。ビジー信号／BUS Y は行デコーダ制御回路 16 からアドレス選択器 18 に与えられる。すなわち、トランジスタ 42 はアクセスコマンド又はリフレッシュコマンドに応じてビジー信号線 28 を充電し、トランジスタ 40 は対応するブロック BK においてアクセス動作又はリフレッシュ動作が終了したときビジー信号線 28 を放電する。ビジー信号線 28 と、トランジスタ 42 と、16 個のブロック BK に対応して設けられた 16 個のトランジスタ 40 とは、アクセスコマンド又はリフレッシュコマンドに応答してビジー信号／BUS Y を活性化し、ブロックイネーブル回路 20 により選択されたブロック BK において通常アクセス動作又はリフレッシュ動作が終了したときビジー信号／BUS Y を不活性化する手段である。

【0029】

ビジー信号 BUS Y が L レベルの場合、いずれのブロック BK も選択されていないので、行デコーダ制御回路 16 は活性化され、行アドレスデコード信号 ADU 及び ADL を行デコーダ 14 に与える。一旦いずれかのブロック BK が選択されると、ビジー信号 BUS Y は H レベルに活性化されるが、行アドレスデコード信号 ADU 及び ADL はそのまま維持され、行アドレス信号 RA が変化しても、前回のブロック BK の動作が終了してビジー信号 BUS Y が L レベルに戻るまで変化しない。

【0030】

図 6 にアドレス選択器 18 の構成を示す。図 6 を参照して、アドレス選択器 18 は、N AND 回路 46～49 と、インバータ 50, 51 と、NOR 回路 52 と、D 型ラッチ回路 54 とを含む。NAND 回路 46～48 及び D 型ラッチ回路 54 はそれぞれ N 個ずつ設けられる。本例では行アドレス信号 ERA, RRA, RA が 12 ビットであるから N = 12 である。12 個の NAND 回路 46 は、チップイネーブル信号／CE が L レベルのとき 12 ビットのアクセス行アドレス信号 ERA を入力する。12 個の NAND 回路 47 は、リフレッシュイネーブル信号／RE が L レベルのとき 12 ビットのリフレッシュ行アドレス信号 RRA を入力する。12 個の NAND 回路 48 は、その入力された 12 ビットのアクセス行アドレス信号 ERA 又はリフレッシュ行アドレス信号 RRA を出力する。

【0031】

ビジー信号／BUS Y が H レベルのとき、NAND 回路 49 はインバータとして機能する。したがって、チップイネーブル信号／CE 又はリフレッシュイネーブル信号／RE が L レベルになると、NAND 回路 49 から 12 個のラッチ回路 54 に与えられるラッチ信号 LT が H レベルになる。12 個のラッチ回路 54 は、ラッチ信号 LT が H レベルになると 12 個の NAND 回路 48 から出力された 12 ビットのアクセス行アドレス信号 ERA 又はリフレッシュ行アドレス信号 RRA を取り込んでラッチし、12 ビットの行アドレス信号 RA として出力する。要するに、ビジー信号／BUS Y が H レベルの場合、アドレス選択器 18 は、チップイネーブル信号／CE が L レベルのときアクセス行アドレス信号 ERA を選択し、リフレッシュイネーブル信号／RE が L レベルのときリフレッシュ行アドレス信号 RRA を選択する。

【0032】

一方、ビジー信号／BUS Y が L レベルのとき、ラッチ信号 LT は H レベルに固定される。したがって、この間にチップイネーブル信号／CE 又はリフレッシュイネーブル信号／RE が L レベルになり、次の新しいアクセス行アドレス信号 ERA 又はリフレッシュ行アドレス信号 RRA が入力されたとしても、ラッチ回路 54 は前の古いアクセス行アドレス信号 ERA 又はリフレッシュ行アドレス信号 RRA をラッチし続け、その次の新しいアクセス行アドレス信号 ERA 又はリフレッシュ行アドレス信号 RRA を取り込まない。要するに、ビジー信号／BUS Y が L レベルの場合、アドレス選択器 18 は、チップイネーブル信号／CE 又はリフレッシュイネーブル信号／RE が L レベルになつても、次に与えられるアクセス行アドレス信号 ERA 又はリフレッシュ行アドレス信号 RRA を選択することなく無視し、1 つの前に選択したアクセス行アドレス信号 ERA 又はリフレッシュ行

アドレス信号RRAを出力し続ける。

【0033】

図7を参照して、チップイネーブル信号CEが活性化されると、選択されたブロックBKでアクセス動作が始まり、ビジー信号/BUSYがLレベルに活性化される。アクセス動作が終わると、ビジー信号/BUSYはHレベルに戻る。一方、リフレッシュイネーブル信号REが活性化されると、選択されたブロックBKでリフレッシュ動作が始まり、ビジー信号/BUSYがLレベルに活性化される。リフレッシュ動作が終わると、ビジー信号/BUSYはHレベルに戻る。

【0034】

以上のように、DRAM10は、ビジー信号/BUSYがHレベルに戻ったとき、アクセスコマンド及びリフレッシュコマンドのうち先に来たコマンドに応じて、開始されるべき次の動作を決定する。これにより外部から与えられるアクセス行アドレス信号ERAと内部的に発生されるリフレッシュ行アドレス信号RRAとは区別されることなく、前回のブロックBKの動作が終了するまで新しい行アドレス信号RAに応じた動作は待たされる。すなわち、DRAM10は先に来たコマンドを優先し、後からの動作は直前の動作が終了するまで待たせる。

【0035】

したがって、内部サイクル時間Ticを外部サイクル時間Tecの半分よりも長くして分散リフレッシュを行うと、リフレッシュコマンドがアクセスコマンドと競合し、必然的にリフレッシュは待たされる傾向にある。そのため、本実施の形態は好ましくは、ブロックベースバーストリフレッシュを行う。これは、ブロックBKごとに256本全てのワード線WLを最短時間で一気に連続してバーストリフレッシュするものである。

【0036】

各メモリセルMCを64msごとにリフレッシュするためには、16個のブロックBKの各々にバーストリフレッシュ開始信号を4ms($=64ms \div 16$)ごとに与え、これに応じて各ブロックBK内の256本のワード線WLを連続してバーストリフレッシュする。したがって、各ブロックBKでは4msの期間内に256回のリフレッシュを行う。実際に1回のリフレッシュにかかる時間を50nsとしても、バーストリフレッシュにかかる時間は $12.8\mu s$ ($=256 \times 50\mu s$)と4msに比べて非常に短い。そのため、バーストリフレッシュは4msの期間のうちの最初の短時間で終わってしまう。バーストリフレッシュの最中に通常のアクセスコマンドが来るとリフレッシュが待たされるが、ブロックベースバーストリフレッシュによれば、リフレッシュの遅れは当該ブロックBKの動作中に解消され、他のブロックBKまで持ち越されない。以下、これを詳述する。

【0037】

図8にアクセスコマンドA1, A2が最小外部サイクル時間Tecごとに連続して来る場合におけるバーストリフレッシュ動作を示す。(A)は先行技術と同様に内部サイクル時間Ticが外部サイクル時間Tecの半分の場合であり、(B)は内部サイクル時間Ticが外部サイクル時間Tecの半分よりも長い場合である。ここでは、アクセスコマンドA1の直前にリフレッシュコマンドR1が入り、リフレッシュ動作R1(対応するコマンドと同じ符号を用いる)が始まってしまったため、通常アクセス動作A1にとってサイクル時間及びアクセス時間ともに最悪になる場合を想定する。

【0038】

図8(A)を参照して、アクセスコマンドA1の直前にリフレッシュコマンドR1が来ると、先にリフレッシュ動作R1が始まる。リフレッシュ動作R1は内部サイクル時間Ticの経過後に終わる。ここではバーストリフレッシュであるから前回の通常アクセス動作又はリフレッシュ動作が終わるたびにリフレッシュコマンドが発行される。したがって、リフレッシュ動作R1が終わると再びリフレッシュコマンドR2が来るが、このときそれ以前の時刻T0でアクセスコマンドA1が来ているので、このアクセスコマンドA1に応じて通常アクセス動作A1が始まる。通常アクセス動作A1も内部サイクル時間Ticの経過後に終了する。この動作が繰り返され、その結果、バーストリフレッシュにおける

個々のリフレッシュ動作R1, R2と各通常アクセス動作A1, A2とは交互に行われる。この動作を具体的に説明すると、次の通りである。

【0039】

アドレス選択器18は、Lレベルのリフレッシュイネーブル信号/REに応答してリフレッシュ行アドレス信号RRAをラッチし、これを行デコーダ制御回路16に与える。行デコーダ制御回路16はビジー信号/BUSYをLレベルに活性化するとともに、リフレッシュ行アドレス信号RRAに応答して行アドレスデコード信号ADU及びADLを行デコーダ14に与える。行アドレスデコード信号ADUに応答して1個のブロックBKが選択され、そのブロックBK内で行アドレスデコード信号ADLに応答して1本のワード線WLが活性化され、そのワード線WLに接続された全てのメモリセルMCがリフレッシュされる。

【0040】

このリフレッシュ動作R1の最中にチップイネーブル信号/CEがLレベルに活性化され、アクセス行アドレス信号ERAがアドレス選択器18に与えられるが、ビジー信号/BUSYが活性化されているため、アドレス選択器18はそのアクセス行アドレス信号ERAをラッチせず、1つ前にラッチしたリフレッシュ行アドレス信号RRAをラッチし続ける。

【0041】

上記選択されたブロックBK内でリフレッシュ動作R1が終了すると、ビジー信号/BUSYはHレベルに不活性化される。そのため、アドレス選択器18は上記既に与えられているアクセス行アドレス信号ERAをラッチし、これを行デコーダ制御回路16に与える。その結果、選択されたブロックBK内で通常アクセス動作A1が行われる。

【0042】

(A)の場合、内部サイクル時間Ticが外部サイクル時間Tecの半分であるため、各通常アクセス動作は外部サイクル時間Tec内で完了する。図中の矢印はアクセスコマンドの入力から通常アクセス動作の終わりを示すが、この矢印で示されるアクセス時間もSRAMと同様に外部サイクル時間Tec以内である。

【0043】

一方、(B)の場合、内部サイクル時間Ticは(A)の場合と同じであるが、外部サイクル時間Tecが(A)の場合よりも短い。図8(B)を参照して、アクセスコマンドA1が来る直前にリフレッシュコマンドR1が来ると、先にリフレッシュ動作R1が始まる。バーストリフレッシュであるからリフレッシュ動作R1が終わると直ちに次のリフレッシュコマンドR2が来ると、このときそれ以前の時刻T0でアクセスコマンドA1が来ているので、このアクセスコマンドA1に応じて通常アクセス動作A1が始まる。通常アクセス動作A1が終わると再びリフレッシュコマンドR3が来ると、このときもそれ以前の時刻T1でアクセスコマンドA2が来ているので、このアクセスコマンドA2に応じて通常アクセス動作A2が始まる。通常アクセス動作A2が終わると再びリフレッシュコマンドR4が来ると、このときそれ以前にアクセスコマンドは来ていないので、このリフレッシュコマンドR4に応じてリフレッシュ動作R4が始まる。

【0044】

(B)の場合、リフレッシュコマンドはスキップされることがあるが、メモリセルMCはリフレッシュされながら外部サイクル時間Tecごとにアクセスされる。

【0045】

そこでまず、内部サイクル時間Ticを外部サイクル時間Tecの半分よりも長くする場合に、どこまで長くできるかについて図9を参照して説明する。

【0046】

内部サイクル時間Ticが外部サイクル時間Tecの半分よりも長くなるほど、リフレッシュ動作が入る頻度が少なくなる。したがって、何回かの通常アクセス動作後に必ず1回はリフレッシュ動作が入る条件が必要となる。最初のリフレッシュ動作による内部サイクル時間(1×Tic)後にN回の通常アクセス動作が入るが、このN回の通常アクセス

動作にかかる時間 ($N \times T_{i\ c}$) が N 回の外部サイクル時間 ($N \times T_{e\ c}$) 以内であれば、 $N+1$ 回目の通常アクセスコマンド以前にリフレッシュコマンドが来てリフレッシュ動作が入る。したがって、リフレッシュ動作が入る条件は次の式 (1) で与えられる。

$$T_{i\ c} + N \times T_{i\ c} < N \times T_{e\ c} \quad \dots (1)$$

【0047】

式 (1) を変形すると、次の式 (2) が得られる。

$$T_{i\ c} < N / (N+1) \times T_{e\ c} \quad \dots (2)$$

【0048】

式 (2) は、内部サイクル時間 $T_{i\ c}$ が外部サイクル時間 $T_{e\ c}$ の $N / (N+1)$ 倍以内であれば、 $N+1$ 回目にはリフレッシュ動作が入ることを示している。たとえば図9 (A) に示すように $N=1$ の場合は、内部サイクル時間 $T_{i\ c}$ が外部サイクル時間 $T_{e\ c}$ の半分よりも短ければ 1 回おきにリフレッシュ動作が入る。

【0049】

式 (2) から明らかなように、 N が大きくなれば、内部サイクル時間 $T_{i\ c}$ は外部サイクル時間 $T_{e\ c}$ に近くなる。すなわち、リフレッシュ動作が入る頻度がかなり少なくなつても問題さえなければ、内部サイクル時間 $T_{i\ c}$ は外部サイクル時間 $T_{e\ c}$ にかなり近くてもよい。

【0050】

図9 (A) ~ (E) に示すように N が有限回の場合、リフレッシュコマンドは N 回スキップされる。一方、図9 (F) に示すように N が無限回になると、内部サイクル時間 $T_{i\ c}$ は外部サイクル時間 $T_{e\ c}$ と同じなるが、リフレッシュコマンドは無限回スキップされ、リフレッシュ動作は全く入らなくなる。最初にアクセスコマンドが来る直前にリフレッシュコマンドが来てリフレッシュ動作が入ったとしても、それ以降は必ず以前のアクセス動作が終わる 1 サイクル前にアクセスコマンドが来ているため、全くリフレッシュ動作が入らない。 N が無限大でなく、内部サイクル時間 $T_{i\ c}$ が外部サイクル時間 $T_{e\ c}$ よりも僅かでも短ければ、必ずリフレッシュ動作は入る。

【0051】

そこで次に、リフレッシュ動作が必ず入るための N の上限値を求める。ロック BK 当たりのワード線の本数を $N_{w\ l\ b}$ とすれば、これに $N \times T_{e\ c}$ を掛けた値が、リテンション時間 T_r をブロック数 N_b で割った値よりも短ければよい。したがって、次の式 (3) が得られる。

$$N \times T_{e\ c} \times N_{w\ l\ b} < T_r / N_b \quad \dots (3)$$

【0052】

$N_{w\ l\ b} \times N_b$ はワード線の総数 $N_{t\ w\ l}$ であるから、これを用いて式 (3) を変形すると、次の式 (4) が得られる。

$$N < T_r / (T_{e\ c} \times N_{t\ w\ l}) \quad \dots (4)$$

【0053】

リテンション時間 T_r を典型的な 6.4 ms とし、ワード線の総数 $N_{t\ w\ l}$ を本実施の形態の通り 4 K とし、さらに外部サイクル時間を 50 ns とすると、 N の上限値は約 312 とかなり大きい数になる。

【0054】

$N=312$ を式 (2) に代入すると、内部サイクル時間 $T_{i\ c}$ は外部サイクル時間 $T_{e\ c}$ の 0.997 倍 ($= 312 / 313$)、つまり 99.7% の 49.85 μ s でも、312 回ごとに必ず 1 回はリフレッシュ動作が入り、全ワード線のリフレッシュをミスすることなく、外部サイクル時間 $T_{e\ c}$ ごとに連続して通常アクセス動作が入る。

【0055】

しかし、 N はそんな大きい値でなくても、内部サイクル時間 $T_{i\ c}$ は外部サイクル時間 $T_{e\ c}$ にかなり近くなる。たとえば図9 (D) に示すように $N=4$ の場合、つまり通常アクセス動作 4 回に 1 回の割合でリフレッシュ動作が入れば、内部サイクル時間 $T_{i\ c}$ は外部サイクル時間 $T_{e\ c}$ の $4/5$ (= 80%) まで長くすることができる。リフレッシュ動

作が入る頻度の観点から言えば、外部サイクル時間を 50 ns としても、256回のバーストリフレッシュにかかる時間は $64 \mu s$ ($= 5 \times 50 \text{ ns} \times 256$) である。この場合、256回目のワード線のリフレッシュが最も遅れるが、その遅れは $51.2 \mu s$ ($= 64 \mu s - (50 \text{ ns} \times 256)$) でしかない。これは 64 ms のリテンション時間の 0.08% でしかなく、全く無視することができる。

【0056】

また、ロックベースバーストリフレッシュであるから、リフレッシュの遅れは当該ロックBKの動作中に解消され、他のロックBKまで持ち越され、累積されることはない。そのため、 $51.2 \mu s$ が全ワード線の中で最大の遅れである。したがって、本実施の形態によれば、リフレッシュ遅れによる不具合はほとんどなく、内部サイクル時間 $T_{i c}$ を外部サイクル時間 $T_{e c}$ 近くまで長くすることができる。逆に言えば、内部サイクル時間 $T_{i c}$ で動作可能なDRAM10の真の実力近くまで高速化することができる。よって、リフレッシュを内部で行う、SRAMコンパチブルなDRAMを提供することができ、従来の半分に近い外部サイクル時間 $T_{e c}$ を実現することができる。

【0057】

このように内部サイクル時間 $T_{i c}$ が外部サイクル時間 $T_{e c}$ の半分より長くても、「サイクル時間」の観点からは、Nが有限でさえあれば、通常アクセス動作とリフレッシュ動作とを外部サイクル時間 $T_{e c}$ 内で行うことができ、問題はないが、通常アクセス動作にかかる「アクセス時間」の観点からは問題が残る。すなわち、SRAMでは一般にサイクル時間とアクセス時間とが同じであるから、このDRAM10でも読出データは外部サイクル時間 $T_{e c}$ 内に有効になるのが望ましい。しかし、図8 (B) に示したように、最初の読出データ (アクセス時間を示す矢印の先端) は外部サイクル時間 $T_{e c}$ 内に有効になっておらず、アクセス時間 $T_{a c}$ はSRAMの一般仕様を満たさない。同図から明らかのように、アクセス時間 $T_{a c}$ が仕様を満たすためには、リフレッシュ動作のための内部サイクル時間 $T_{i c}$ とアクセス時間 $T_{a c}$ との和が外部サイクル時間 $T_{e c}$ 以内でなければならない。上記実施の形態ではリフレッシュ動作のための内部サイクル時間 $T_{i c}$ と通常アクセス動作のための内部サイクル時間 $T_{i c}$ とは同じであるが、通常アクセス動作ではDRAMによっては最初のデータのアクセス時間は不变であるが、ページ、バースト読出など、何らかの理由でプレチャージがすぐに開始できないため、サイクル時間が長くなる場合もある。このような場合であれば、通常アクセス動作のための内部サイクル時間 $T_{i c}$ が長くても、外部サイクル時間 $T_{e c}$ 及びアクセス時間を延長する必要はない。

【0058】

また、図8 (B) に示したように、アクセス時間 $T_{a c}$ はリフレッシュ動作の直後と通常アクセス動作が続いた後とで異なるため、ユーザとしてはこのままでは使い難い。そこで、図10に示すように、リフレッシュ動作のための内部サイクル時間 $T_{i c}$ と通常アクセス動作のための内部サイクル時間 $T_{i c}$ との和が外部からの見かけ上のアクセス時間となるように意図的にアクセスレイテンシ $T_{1 t}$ を仕様上に設け、連続した通常アクセス動作時でもデータが有効になる時期を遅らせればよい。当然アクセス時間 $T_{a c}$ は長くなるが、サイクル時間は短くすることができる。この動作は、Digest of Technical Papers, ISSC91, p.50, Feb. 1991 (Pipeline Burst SRAM) に開示されたパイプラインバーストSRAMと同じような動作となる。

【0059】

図10はN=5の場合の動作で、(A) は通常アクセスコマンドだけが来る場合の動作を示し、アクセス時間 $T_{a c}$ は仕様上で意図的に長く記述され、外部サイクル時間 $T_{e c}$ よりも長い。(B) は外部サイクル時間 $T_{e c}$ ごとに通常アクセスコマンドが来る場合にバーストリフレッシュが始まったときの動作を示す。(C) はリフレッシュコマンドだけが来る場合の動作を示す。(A) 及び(B) の場合ともに、図9 (E) に示した同じN=5の場合と異なり、常にアクセスコマンドの入力から同じアクセス時間 $T_{a c}$ となる。アクセス時間 $T_{a c}$ が外部サイクル時間 $T_{e c}$ よりも長くても、データは外部サイクル時間 $T_{e c}$ と同じ周期で連続して有効になる。このように連続してデータをアクセスすると、

バンド幅を広くすることができる。

【0060】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

【産業上の利用可能性】

【0061】

本発明による半導体記憶装置は、特に低消費電力用途でS R A Mの代わりに用いられるD R A Mに利用可能である。

【図面の簡単な説明】

【0062】

【図1】本発明の実施の形態によるD R A Mの全体構成を示す機能ブロック図である。

【図2】図1に示したデコーダブロック及び行デコーダ制御回路の構成を示す機能ブロック図である。

【図3】図2中のアドレス選択器及びリフレッシュ回路の構成を示す機能ブロック図である。

【図4】図1～図3に示したD R A Mによる読み出し及びリフレッシュ動作を示すタイミング図である。

【図5】図2中のブロック制御回路の構成を示す機能ブロック図である。

【図6】図2及び図3中のアドレス選択器の構成を示す機能ブロック図である。

【図7】図6に示したアドレス選択器の動作を示すタイミング図である。

【図8】図1～図3に示したD R A Mによるバーストリフレッシュ動作を示すタイミング図である。

【図9】図8と同様にバーストリフレッシュ動作を示し、特にリフレッシュ動作後に通常アクセス動作の回数をNとした場合、Nの様々な値における動作を示すタイミング図である。

【図10】図9 (E) に示したN=5の場合の動作を示すタイミング図であり、(A) はアクセス動作のみ、(B) はリフレッシュ及びアクセスの混合動作、(C) はリフレッシュ動作のみを示す。

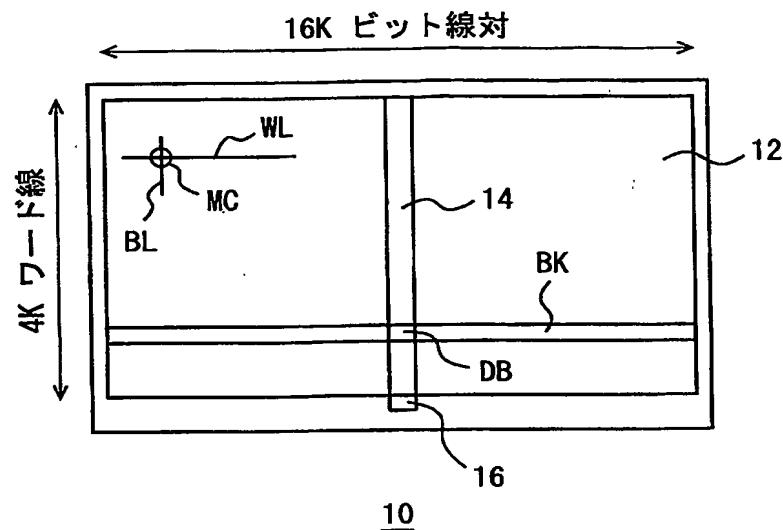
【符号の説明】

【0063】

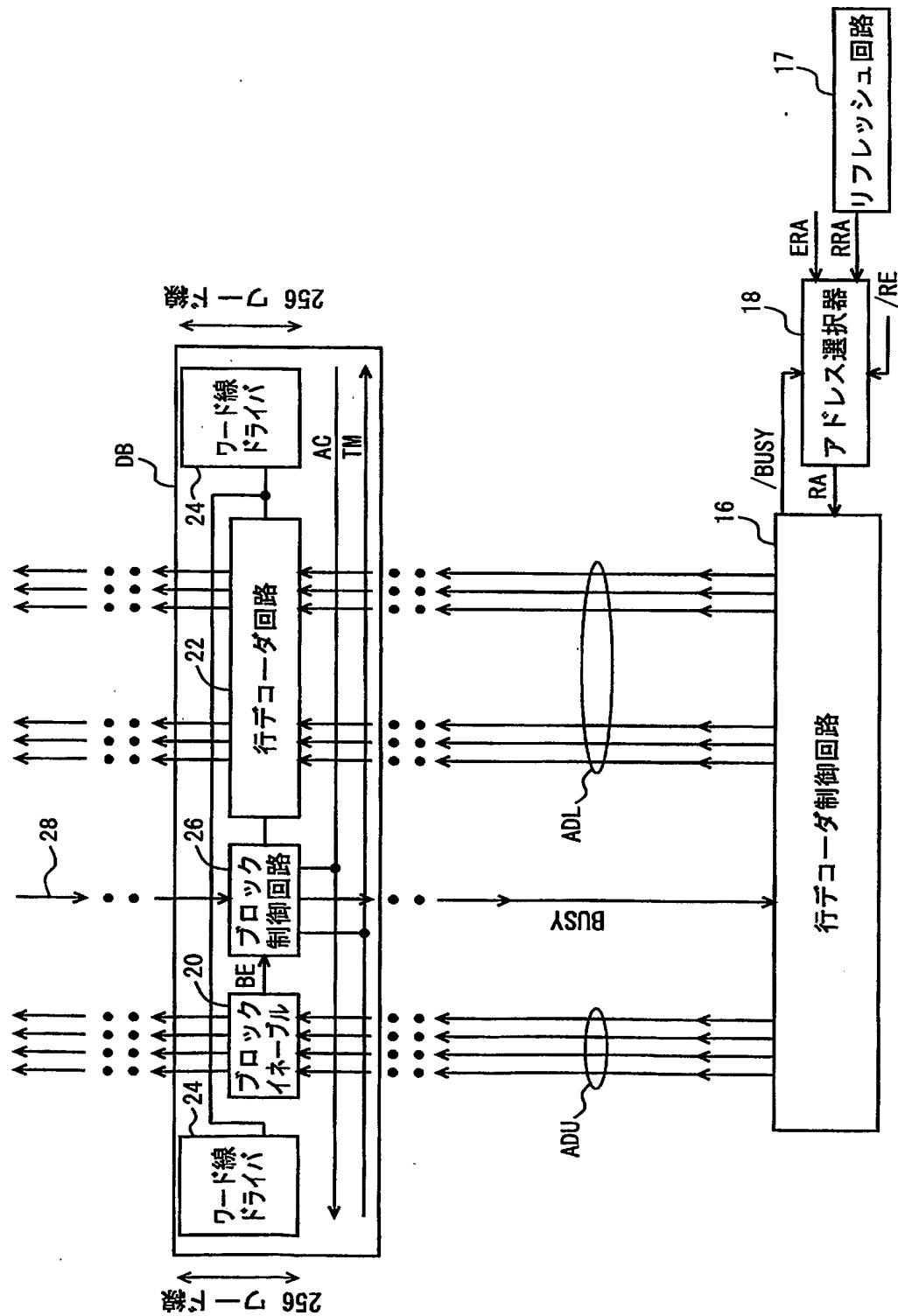
- 1 2 メモリセルアレイ
- 1 4 行デコーダ
- 1 6 行デコーダ制御回路
- 1 7 リフレッシュ回路
- 1 8 アドレス選択器
- 2 0 ブロックイネーブル回路
- 2 2 行デコーダ回路
- 2 4 ワード線ドライバ
- 2 6 ブロック制御回路
- 2 8 ビジー信号線
- 3 0 リフレッシュタイム
- 3 2 アドレスカウンタ
- 3 4 リフレッシュイネーブル回路
- 4 0, 4 2 トランジスタ
- 4 6～4 9 N A N A D回路
- 5 4 ラッチ回路
- ／A E アレイイネーブル信号
- B U S Y, ／B U S Y ビジー信号

C E, /C E チップイネーブル信号
R E, /R E リフレッシュイネーブル信号
/R T リフレッシュタイム信号
A 1, A 2 アクセスコマンド（通常アクセス動作）
B E ブロックイネーブル信号
B K アクセスアレイブロック
B L ビット線対
B L E Q ビット線イコライズ信号
D B デコーダブロック
E R A アクセス行アドレス信号
L T ラッチ信号
M C メモリセル
R 1, R 2, R 3, R 4 リフレッシュコマンド（リフレッシュ動作）
R R A リフレッシュ行アドレス信号
T a c アクセス時間
T e c 外部サイクル時間
T i c 内部サイクル時間
W L ワード線

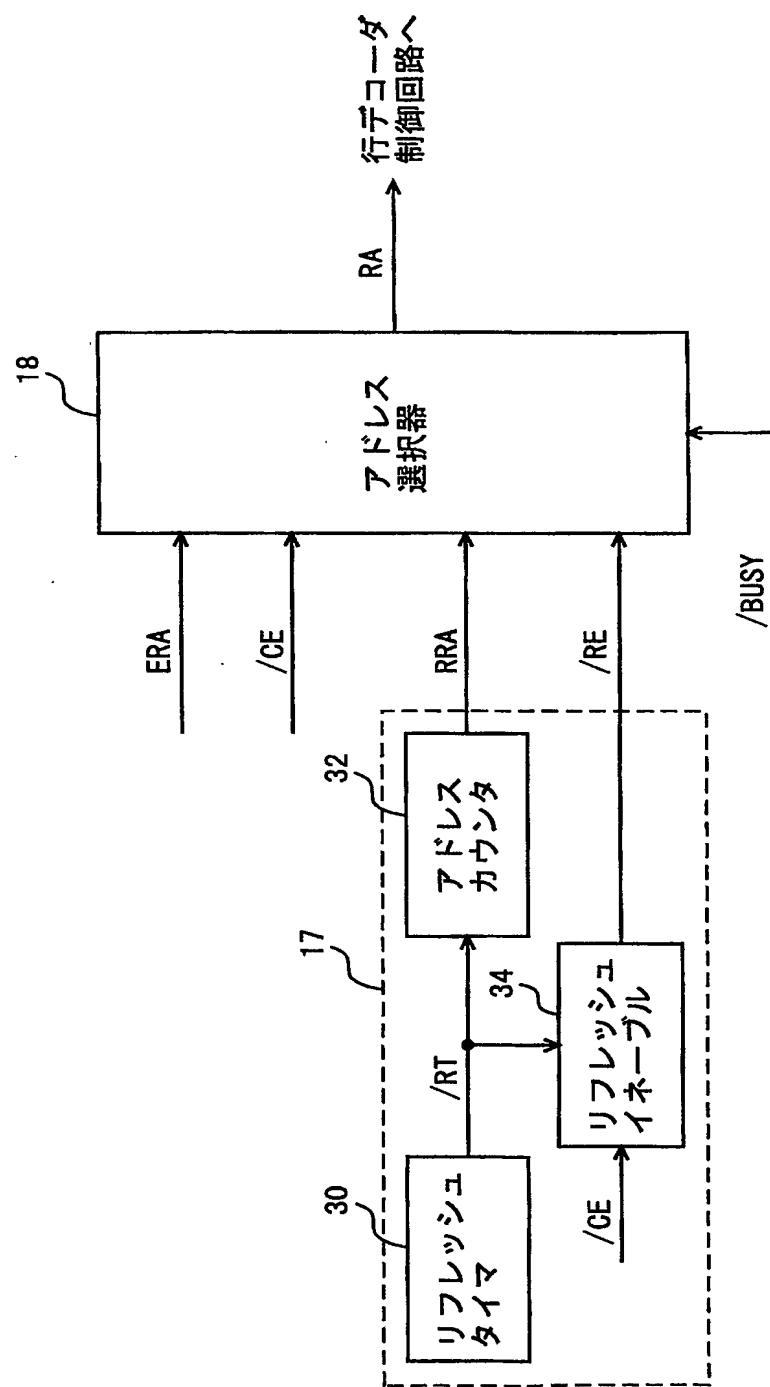
【書類名】 図面
【図 1】



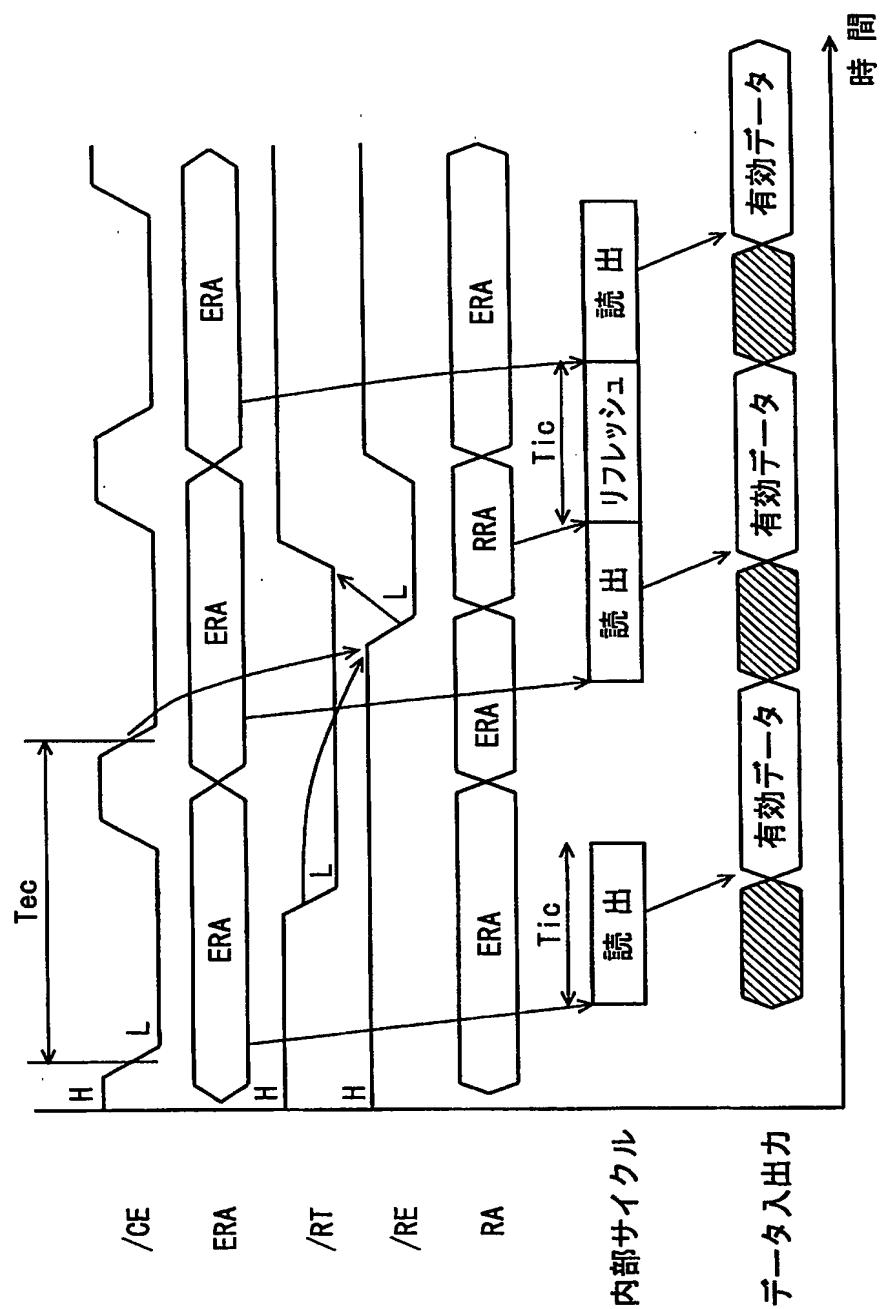
【圖2】



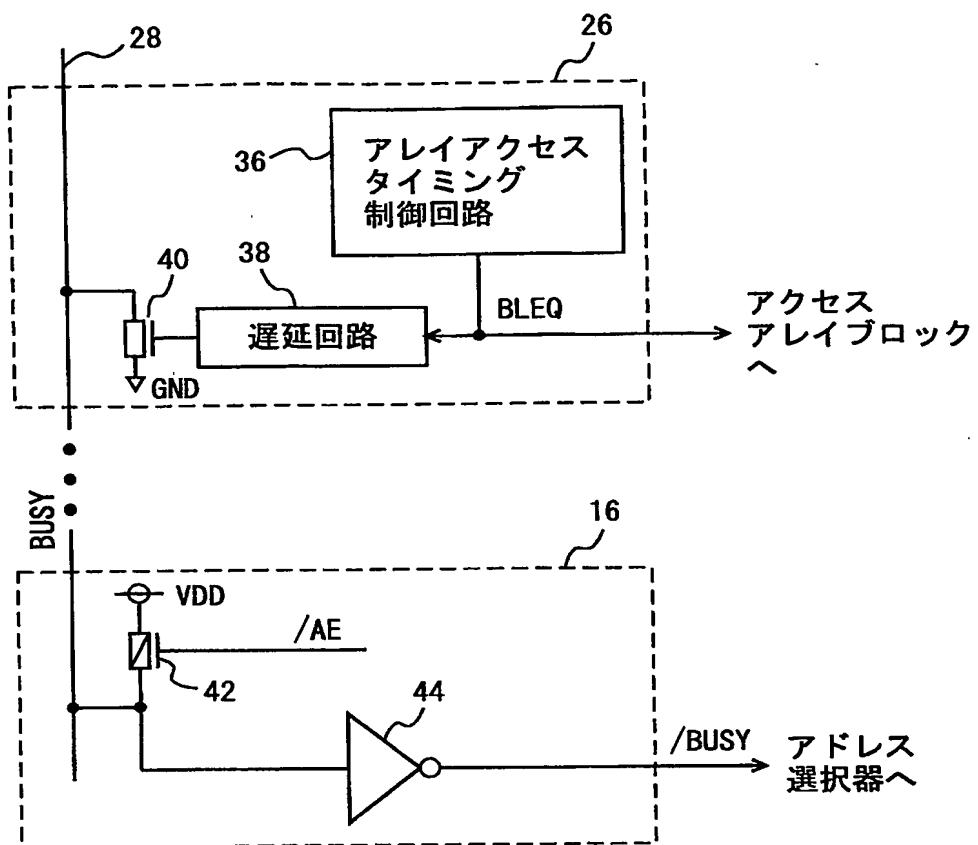
【図3】



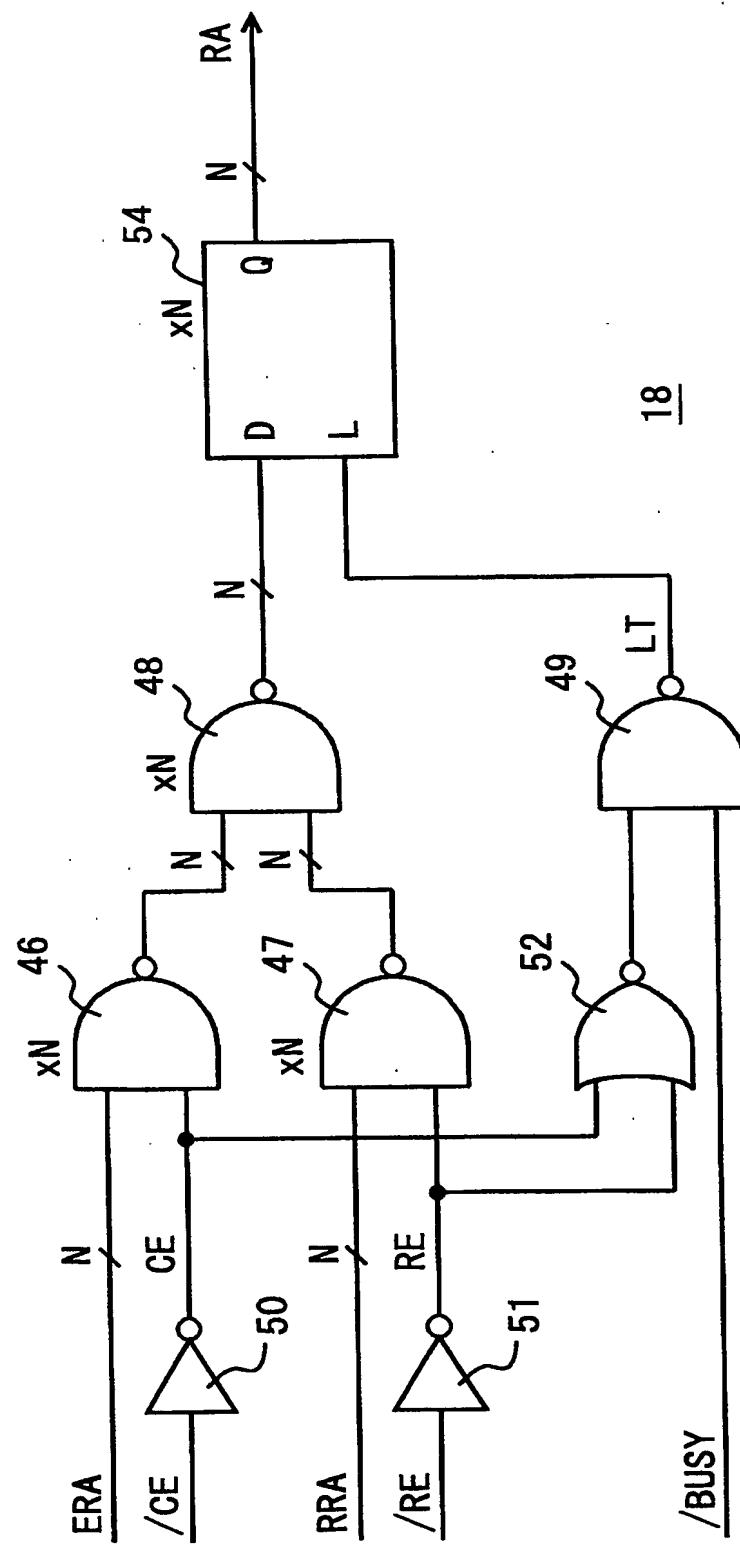
【図 4】



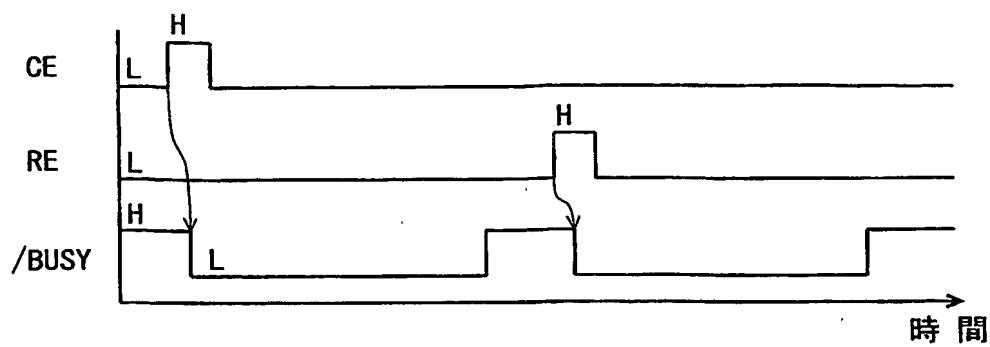
【図 5】



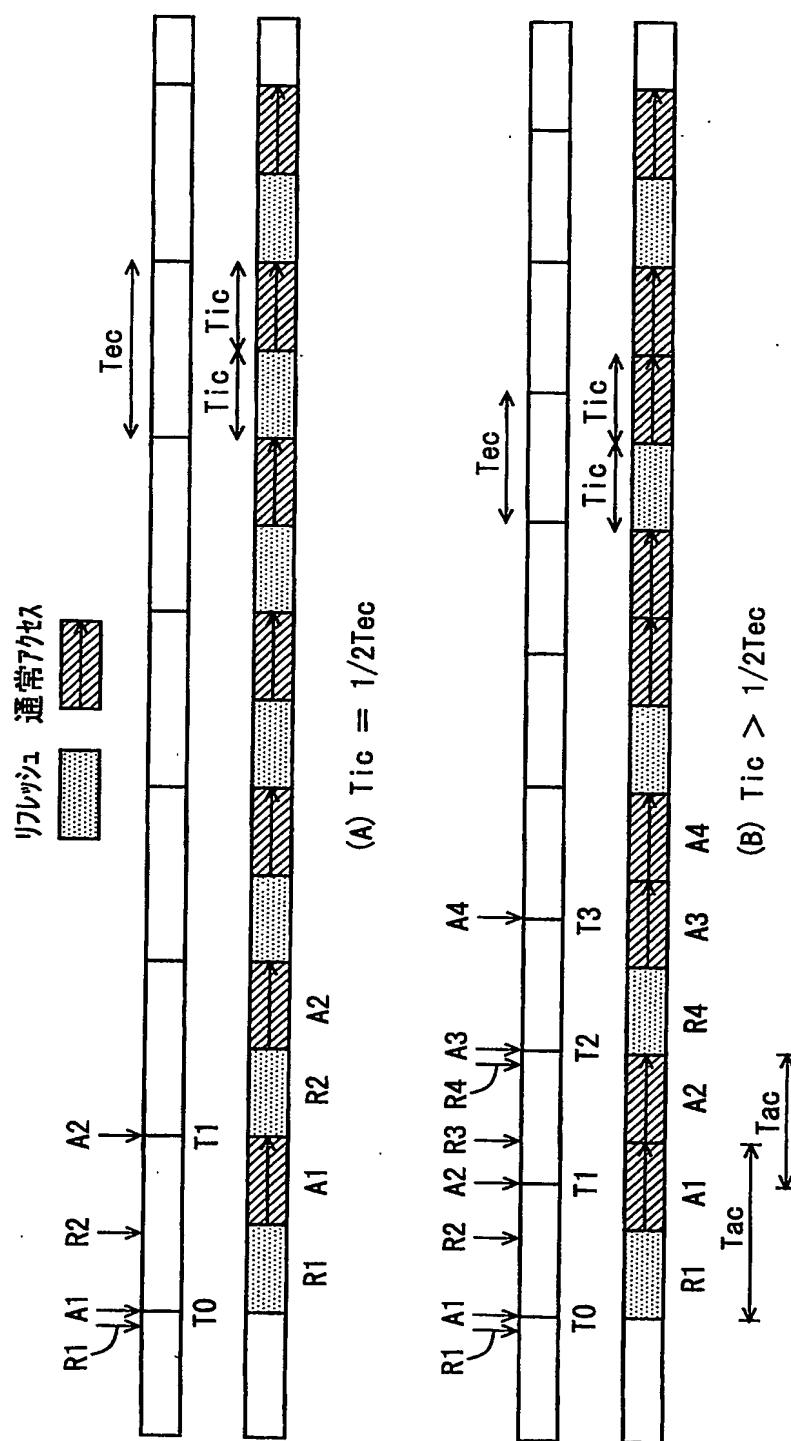
【図6】



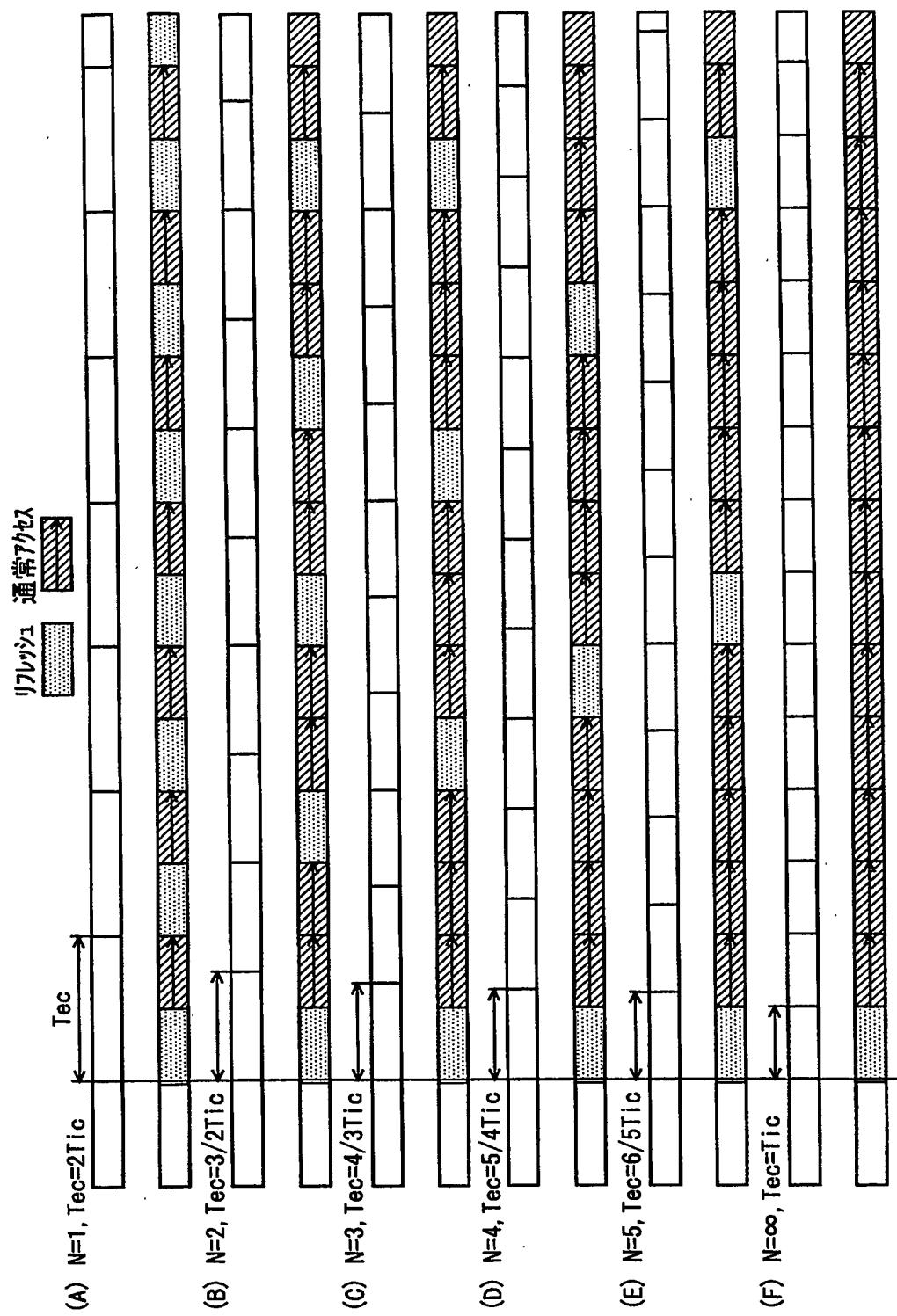
【図7】



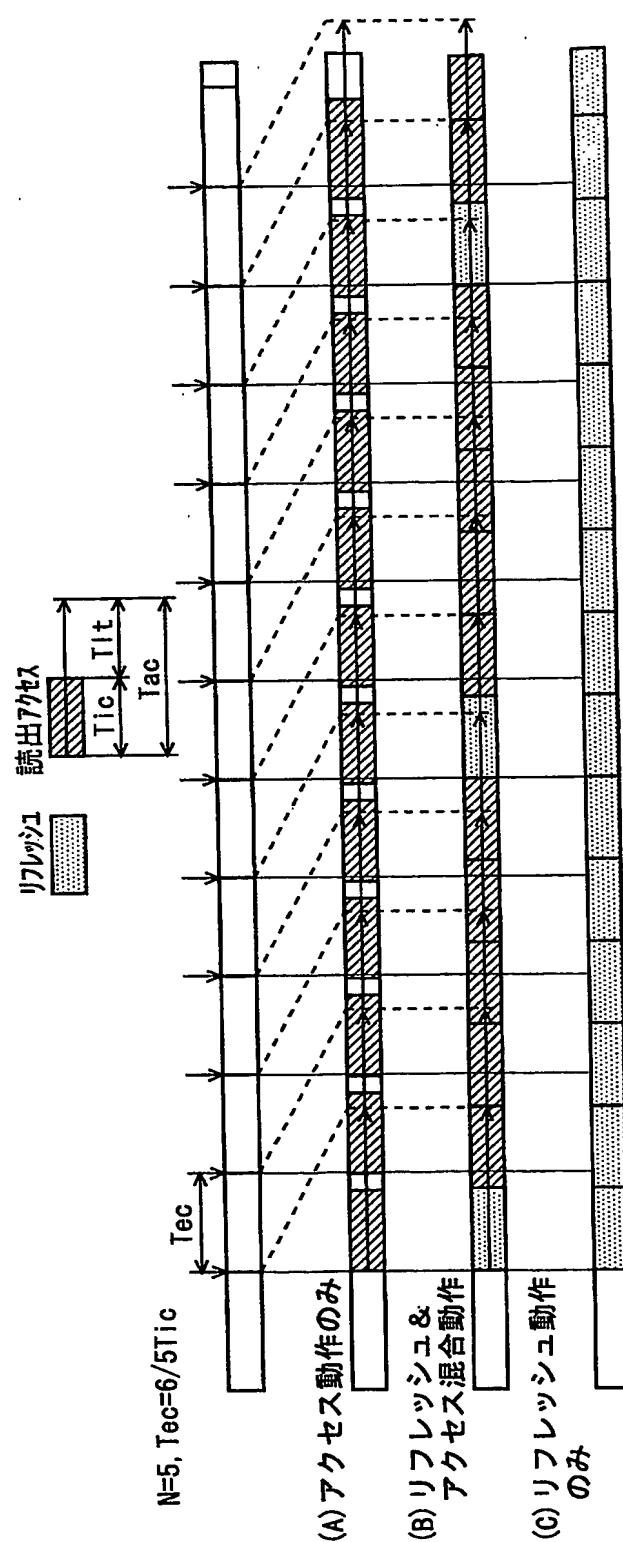
【図8】



【図 9】



【図10】



【書類名】要約書

【要約】

【課題】通常アクセス動作の間にリフレッシュ動作の挿入が可能でかつ内部サイクル時間を外部サイクル時間の半分よりも長くできるD R A Mを提供する。

【解決手段】アドレス選択器18はアクセス行アドレス信号E R A又はリフレッシュ行アドレス信号R R Aを選択する。行デコーダ制御回路16は選択された行アドレス信号R Aに応答してメモリセルアレイを分割するブロックを1つ選択し、行デコーダ回路22によりワード線を選択する。いずれかのブロックで動作が始まるとビジー信号／B U S Yが活性化され、アドレス選択器18による選択が禁止される。動作が終わるとビジー信号／B U S Yが不活性化され、アドレス選択器18による選択が解禁される。そのため、先に入力された行アドレス信号E R A又はR R Aが優先され、後から入力された行アドレス信号R R A又はE R Aは先の動作が終わるまで待たされる。

【選択図】図2

特願 2003-365168

出願人履歴情報

識別番号 [390009531]

1. 変更年月日 2002年 6月 3日
[変更理由] 住所変更
住 所 アメリカ合衆国 10504、ニューヨーク州 アーモンク ニューオーチャード ロード
氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション

2. 変更年月日 2003年 12月 5日
[変更理由] 住所変更
住 所 アメリカ合衆国 10504 ニューヨーク州 アーモンク ニューオーチャード ロード
氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション